Ștefan Gheorghe

Universitatea “Transilvania” brașov

Multiplicator de numere complexe

Cuprins

[1 Prezentare generală 2](#_Toc34490643)

[2 Implementare cu un singur modul de multiplicare 2](#_Toc34490644)

[2.1 Arhitectură 2](#_Toc34490645)

[2.2 Logica de control 3](#_Toc34490646)

# Prezentare generală

Circuitul implementat realizează înmulțirea a două numere complexe reprezentate sub forma algebrică.

Părțile reale și imaginare ale operanzilor sunt numere întregi reprezentate pe 8 biți, în complement față de 2.

În acest document sunt prezentate trei variante de implementare, fiecare cu un grad diferit de paralelism.

# Implementare cu un singur modul de multiplicare

## Arhitectură

În Figura 1 este prezentată arhitectura modulului. Tabelul 1 prezintă interfețele modulului, semnalele interne și semnificația acestora.



Figura 1 : Arhitectura modulului implementat

Tabel 1 : Prezentarea interfețelor și semnalelor interne.

|  |  |  |
| --- | --- | --- |
| Denumire | Tip | Explicatie |
| op\_val | I | Semnalizează faptul că operanzii sunt gata de preluat de către modul. |
| sw\_rst | I | Reset sincron al modulului. |
| op\_ready | O | Semnalizează faptul că modulul este pregătit pentru a primi noi operanzi. |
| op\_1\_re | I | Partea reală a primului operand. |
| op\_1\_im | I | Partea imaginară a primului operand. |
| op\_2\_re | I | Partea reală a celui de-al doilea operand. |
| op\_2\_im | I | Partea imaginară a celui de-al doilea operand. |
| res\_ready | I | Modulul Master este gata de a primi rezultatul. |
| res\_val | O | Rezultatul multiplicarii este pregătit pentru a fi transmis. |
| result\_real | O | Partea reală a rezultatului obținut. |
| result\_im | O | Partea imaginară a rezultatului obținut. |
| op\_1\_sel | Intern | Semnalul de selecție pentru primul operand al modulului de multiplicare. |
| op\_2\_sel | Intern | Semnalul de selecție pentru al doilea operand al modulului de multiplicare. |
| res\_reg\_sel | Intern | Semnalul de selecție a registrului în care va fi stocat rezultatul multiplicării curente. |
| compute\_enable | Intern | Semnal de enable pentru realizarea adunării și scăderii finale. |

## Logica de control

În Figura 2 este prezentat graful de tranziții al modulului implementat. Tabelul doi conține o scurtă explicație a fiecărei stări în parte.

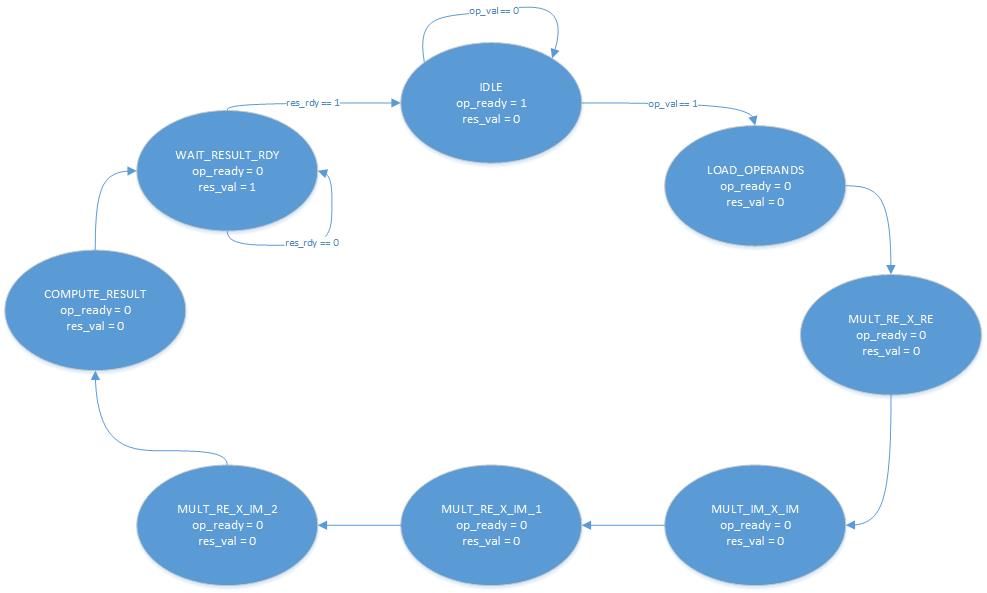


Figura 2: Graful de tranziție a stărilor

Tabel 2 : Explicarea stărilor modulului.

|  |  |
| --- | --- |
| Denumire | Explicație |
| IDLE | Modulul este în așteptare de noi operanzi, op\_ready este 1. |
| LOAD\_OPERANDS | Operanzii sunt încărcați în registrele interne. |
| MULT\_RE\_X\_RE | Se înmulțesc părțile reale ale fiecărui operand și se stochează în registrul corespunzător. |
| MULT\_IM\_X\_IM | Se înmulțesc părțile imaginare ale fiecărui operand și se stochează în registrul corespunzător. |
| MULT\_RE\_X\_IM\_1 | Se înmulțește partea reală a primului operand cu partea imaginară a celui de-al doilea operand și se stochează în registrul corespunzător. |
| MULT\_RE\_X\_IM\_2 | Se înmulțește partea imaginară a primului operand cu partea reală a celui de-al doilea operand și se stochează în registrul corespunzător. |
| COMPUTE\_RESULT | Se calculează adunarea și scăderea finale. |
| WAIT\_RESULT\_RDY | Se așteaptă semnalul de res\_ready, res\_val este activ. |

## Scenarii de test și forme de undă

Pentru testarea modulului au fost implementate mai multe scenarii de test. Acestea sunt prezentate mai jos.